

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hiroki SHINKAWATA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE MANUFACTURING METHOD

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-044155	February 21, 2003
Japan	2003-345633	October 3, 2003

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. filed

☐ were submitted to the International Bureau in PCT Application Number

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

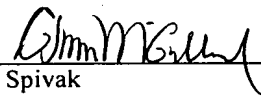
☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

C. Irvin McClelland
Registration Number 21,124

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 2月21日

出 願 番 号

Application Number:

特願2003-044155

[ST.10/C]:

[JP 2003-044155]

出 願 人

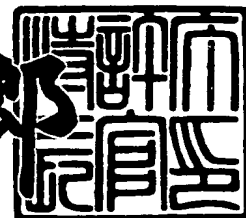
Applicant(s):

三菱電機株式会社

2003年 3月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3016325

【書類名】 特許願

【整理番号】 542671JP01

【提出日】 平成15年 2月21日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/28

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 新川田 裕樹

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100089233

 【弁理士】

 【氏名又は名称】 吉田 茂明

【選任した代理人】

 【識別番号】 100088672

 【弁理士】

 【氏名又は名称】 吉竹 英俊

【選任した代理人】

 【識別番号】 100088845

 【弁理士】

 【氏名又は名称】 有田 貴弘

【手数料の表示】

 【予納台帳番号】 012852

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1
【物件名】 要約書 1
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及び半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 メモリデバイスが形成されるメモリ形成領域と、ロジックデバイスが形成されるロジック形成領域とを有する半導体基板と、

前記メモリ形成領域における前記半導体基板の上面内に形成された第 1 の不純物領域と、

前記ロジック形成領域における前記半導体基板の上面内に形成された第 2 の不純物領域と、

前記第 1 の不純物領域の上面内に形成され、かつ前記第 1 の不純物領域の導電型とは異なる第 3 の不純物領域と、

前記第 2 の不純物領域の上面内に形成され、かつ前記第 2 の不純物領域の導電型とは異なる第 4 の不純物領域と、

前記第 3 の不純物領域の上面内に形成された第 1 のシリサイド膜と、

前記第 1 のシリサイド膜に電氣的に接続され、前記第 1 のシリサイド膜の上方に形成されたキャパシタと、

前記第 4 の不純物領域の上面内に形成され、かつ前記第 1 のシリサイド膜よりも厚い第 2 のシリサイド膜とを備える、半導体装置。

【請求項 2】 前記第 4 の不純物領域は、MOS トランジスタのソース・ドレイン領域である、請求項 1 に記載の半導体装置。

【請求項 3】 それぞれが前記メモリ形成領域における前記半導体基板の上面上に形成され、互いに所定の距離を成す第 1, 2 のゲート構造と、

それぞれが前記ロジック形成領域における前記半導体基板の上面上に形成され、互いに所定の距離を成す第 3, 4 のゲート構造とを更に備え、

前記第 1, 2 のシリサイド膜は、前記第 1, 2 のゲート構造の間及び前記第 3, 4 のゲート構造の間にそれぞれ設けられており、

前記第 1, 2 のゲート構造間の距離と、前記第 1, 2 のゲート構造の高さとで

で規定される第 1 のゲートアスペクト比は、前記第 3， 4 のゲート構造間の距離と、前記第 3， 4 のゲート構造の高さとして規定される第 2 のゲートアスペクト比よりも大きい、請求項 1 及び請求項 2 のいずれか一つに記載の半導体装置。

【請求項 4】 前記第 1 のゲートアスペクト比は 0. 8 よりも大きい、請求項 3 に記載の半導体装置。

【請求項 5】 前記ロジック形成領域における前記半導体基板の上面内に形成された第 5 の不純物領域と、

前記第 5 の不純物領域の上面内に形成され、かつ前記第 5 の不純物領域とは異なる導電型の第 6 の不純物領域と、

前記第 6 の不純物領域の上面内に形成され、かつ前記第 1， 2 のシリサイド膜のそれぞれよりも厚い第 3 のシリサイド膜と
を更に備える、請求項 1 に記載の半導体装置。

【請求項 6】 各前記第 4， 6 の不純物領域は、MOS トランジスタのソース・ドレイン領域である、請求項 5 に記載の半導体装置。

【請求項 7】 それぞれが前記メモリ形成領域における前記半導体基板の上面上に形成され、互いに所定の距離を成す第 1， 2 のゲート構造と、

それぞれが前記ロジック形成領域における前記半導体基板の上面上に形成され、互いに所定の距離を成す第 3， 4 のゲート構造と、

それぞれが前記ロジック形成領域における前記半導体基板の上面上に形成され、互いに所定の距離を成す第 5， 6 のゲート構造と
を更に備え、

前記第 1 乃至 3 のシリサイド膜は、前記第 1， 2 のゲート構造の間、前記第 3， 4 のゲート構造の間及び前記第 5， 6 のゲート構造の間にそれぞれ設けられており、

前記第 1， 2 のゲート構造間の距離と、前記第 1， 2 のゲート構造の高さとして規定される第 1 のゲートアスペクト比は、前記第 3， 4 のゲート構造間の距離と、前記第 3， 4 のゲート構造の高さとして規定される第 2 のゲートアスペクト比よりも大きく、

前記第 2 のゲートアスペクト比は、前記第 5， 6 のゲート構造間の距離と、前

記第 5, 6 のゲート構造の高さとで規定される第 3 のゲートアスペクト比よりも大きい、請求項 5 及び請求項 6 のいずれか一つに記載の半導体装置。

【請求項 8】 各前記第 1, 2 のゲートアスペクト比は 0. 8 よりも大きい、請求項 7 に記載の半導体装置。

【請求項 9】 (a) メモリデバイスが形成されるメモリ形成領域と、ロジックデバイスが形成されるロジック形成領域とを有する半導体基板を準備する工程と、

(b) 前記メモリ形成領域及び前記ロジック形成領域における前記半導体基板の上面内に、第 1, 2 の不純物領域をそれぞれ形成する工程と、

(c) 前記メモリ形成領域における前記半導体基板の上面上に、互いに所定の距離を成す第 1, 2 のゲート構造を形成するとともに、前記第 1, 2 のゲート構造で挟まれた前記第 1 の不純物領域の上面内に、前記第 1 の不純物領域の導電型とは異なる第 3 の不純物領域を形成する工程と、

(d) 前記ロジック形成領域における前記半導体基板の上面上に、互いに所定の距離を成す第 3, 4 のゲート構造を形成するとともに、前記第 3, 4 のゲート構造で挟まれた前記第 2 の不純物領域の上面内に、前記第 2 の不純物領域の導電型とは異なる第 4 の不純物領域を形成する工程と、

(e) 前記工程 (c), (d) を実行することによって得られた構造の上方から、前記第 1, 2 のゲート構造の間の前記第 3 の不純物領域上と、前記第 3, 4 のゲート構造の間の前記第 4 の不純物領域上とに、無指向性スパッタ法を用いて金属材料を堆積する工程と、

(f) 前記金属材料と前記半導体基板とを互いに反応させて、各前記第 3, 4 の不純物領域の上面内にシリサイド膜を形成する工程と、

(g) 前記第 3 の不純物領域の上面内に形成された前記シリサイド膜に電氣的に接続されるキャパシタを、前記第 3 の不純物領域の上面内に形成された前記シリサイド膜の上方に形成する工程とを備え、

前記第 1, 2 のゲート構造間の距離と、前記第 1, 2 のゲート構造の高さとで規定される第 1 のゲートアスペクト比は、前記第 3, 4 のゲート構造間の距離

と、前記第 3，4 のゲート構造の高さとで規定される第 2 のゲートアスペクト比よりも大きい、半導体装置の製造方法。

【請求項 1 0】 前記第 4 の不純物領域は、MOS トランジスタのソース・ドレイン領域である、請求項 9 に記載の半導体装置の製造方法。

【請求項 1 1】 前記第 1 のゲートアスペクト比は 0.8 よりも大きい、請求項 9 及び請求項 1 0 のいずれか一つに記載の半導体装置の製造方法。

【請求項 1 2】 前記工程 (b) において、前記ロジック形成領域における前記半導体基板の上面内に第 5 の不純物領域を更に形成し、

(h) 前記工程 (e) の前に、前記ロジック形成領域における前記半導体基板の上面上に、互いに所定の距離を成す第 5，6 のゲート構造を更に形成するとともに、前記第 5，6 のゲート構造の間で挟まれた前記第 5 の不純物領域の上面内に、前記第 5 の不純物領域の導電型とは異なる第 6 の不純物領域を形成する工程を更に備え、

前記工程 (e) において、前記工程 (c)，(d)，(h) を実行することによって得られた構造の上方から、前記第 5，6 のゲート構造の間の前記第 6 の不純物領域上にも無指向性スパッタ法を用いて前記金属材料を堆積し、

前記工程 (f) において、前記金属材料と前記半導体基板とを互いに反応させて、前記第 6 の不純物領域の上面内にも前記シリサイド膜を形成し、

前記第 2 のゲートアスペクト比は、前記第 5，6 のゲート構造間の距離と、前記第 5，6 のゲート構造の高さとで規定される第 3 のゲートアスペクト比よりも大きい、請求項 9 に記載の半導体装置の製造方法。

【請求項 1 3】 各前記第 4，6 の不純物領域は、MOS トランジスタのソース・ドレイン領域である、請求項 1 2 に記載の半導体装置の製造方法。

【請求項 1 4】 各前記第 1，2 のゲートアスペクト比は 0.8 よりも大きい、請求項 1 2 及び請求項 1 3 のいずれか一つに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体基板上にメモリデバイスとロジックデバイスとが形成され

た、メモリ・ロジック混載型の半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

近年、システムLSIにおいては、大容量かつ高速なメモリデバイスと、ロジックデバイスとが同一の半導体基板上に形成された、メモリ・ロジック混載型の半導体装置が注目されている。その中でも大容量化に向けたDRAMを混載した半導体装置においては、メモリデバイスの高速化に対応すべくメモリセル内にもシリサイド膜を形成したものが開発されている。

【0003】

このような、メモリセル内にシリサイド膜が形成されたメモリ・ロジック混載型の半導体装置の一例が、特許文献1に開示されている。特許文献1に記載の技術によれば、DRAMが形成されているDRAM部と、ロジックデバイスが形成されているロジック部の両方において、トランジスタのソース・ドレイン領域及びゲート電極にシリサイド膜を形成している。なお、シリサイド膜の形成方法に関する技術が特許文献2～4に開示されている。

【0004】

【特許文献1】

特開2001-127270号公報

【特許文献2】

特開2000-269482号公報

【特許文献3】

特開平8-31769号公報

【特許文献4】

国際公開WO98/42009号パンフレット

【0005】

【発明が解決しようとする課題】

特許文献1に記載のメモリ・ロジック混載型の半導体装置では、特許文献1の図6に示されるように、DRAM部のソース・ドレイン領域の上面内に形成されたシリサイド膜と、ロジック部のソース・ドレイン領域の上面内に形成されたシ

リサイド膜とが互いに同じ厚さである。従って、ロジックデバイス的高速化のためにロジック部のシリサイド膜を厚く形成すると、DRAM部のシリサイド膜も厚くなり、ソース・ドレイン領域に電氣的に接続されたキャパシタのリーク電流が大きくなる。その結果、DRAMのデータ保持特性が劣化する。一方、キャパシタのリーク電流を低減するためにDRAM部のシリサイド膜を薄くすると、ロジック部のシリサイド膜も薄くなり、ロジックデバイスの動作速度が低下する。

【 0 0 0 6 】

そこで、本発明は上述の問題に鑑みて成されたものであり、ロジックデバイスが形成される領域の低抵抗化と、メモリデバイスが有するキャパシタの低リーク電流化とを両立させることができる半導体技術を提供することを目的とする。

【 0 0 0 7 】

【課題を解決するための手段】

この発明に係る半導体装置は、メモリデバイスが形成されるメモリ形成領域と、ロジックデバイスが形成されるロジック形成領域とを有する半導体基板と、前記メモリ形成領域における前記半導体基板の上面内に形成された第1の不純物領域と、前記ロジック形成領域における前記半導体基板の上面内に形成された第2の不純物領域と、前記第1の不純物領域の上面内に形成され、かつ前記第1の不純物領域の導電型とは異なる第3の不純物領域と、前記第2の不純物領域の上面内に形成され、かつ前記第2の不純物領域の導電型とは異なる第4の不純物領域と、前記第3の不純物領域の上面内に形成された第1のシリサイド膜と、前記第1のシリサイド膜に電氣的に接続され、前記第1のシリサイド膜の上方に形成されたキャパシタと、前記第4の不純物領域の上面内に形成され、かつ前記第1のシリサイド膜よりも厚い第2のシリサイド膜とを備える。

【 0 0 0 8 】

また、この発明に係る半導体装置の製造方法は、(a)メモリデバイスが形成されるメモリ形成領域と、ロジックデバイスが形成されるロジック形成領域とを有する半導体基板を準備する工程と、(b)前記メモリ形成領域及び前記ロジック形成領域における前記半導体基板の上面内に、第1、2の不純物領域をそれぞれ形成する工程と、(c)前記メモリ形成領域における前記半導体基板の上面上

に、互いに所定の距離を成す第 1, 2 のゲート構造を形成するとともに、前記第 1, 2 のゲート構造で挟まれた前記第 1 の不純物領域の上面内に、前記第 1 の不純物領域の導電型とは異なる第 3 の不純物領域を形成する工程と、(d) 前記ロジック形成領域における前記半導体基板の上面上に、互いに所定の距離を成す第 3, 4 のゲート構造を形成するとともに、前記第 3, 4 のゲート構造で挟まれた前記第 2 の不純物領域の上面内に、前記第 2 の不純物領域の導電型とは異なる第 4 の不純物領域を形成する工程と、(e) 前記工程 (c), (d) を実行することによって得られた構造の上方から、前記第 1, 2 のゲート構造の間の前記第 3 の不純物領域上と、前記第 3, 4 のゲート構造の間の前記第 4 の不純物領域上とに、無指向性スパッタ法を用いて金属材料を堆積する工程と、(f) 前記金属材料と前記半導体基板とを互いに反応させて、各前記第 3, 4 の不純物領域の上面内にシリサイド膜を形成する工程と、(g) 前記第 3 の不純物領域の上面内に形成された前記シリサイド膜と電氣的に接続されるキャパシタを、前記第 3 の不純物領域の上面内に形成された前記シリサイド膜の上方に形成する工程とを備え、前記第 1, 2 のゲート構造間の距離と、前記第 1, 2 のゲート構造の高さとで規定される第 1 のゲートアスペクト比は、前記第 3, 4 のゲート構造間の距離と、前記第 3, 4 のゲート構造の高さとで規定される第 2 のゲートアスペクト比よりも大きい。

【0009】

【発明の実施の形態】

実施の形態 1.

図 1 は本発明の実施の形態 1 に係る半導体装置の構造を示す断面図である。本実施の形態 1 に係る半導体装置は、メモリ・ロジック混載型の半導体装置であって、メモリデバイスとしては、例えば CUB (Capacitor Under Bit line) 構造のメモリセルを有する DRAM が採用され、ロジックデバイスとしては、例えば Dual Gate サリサイド CMOS トランジスタが採用される。

【0010】

図 1 に示されるように、本実施の形態 1 に係る半導体装置は、例えば n 型のシ

リコン基板である半導体基板 1 を備えている。半導体基板 1 の上面内には素子分離絶縁膜 2 が形成されており、それによって、半導体基板 1 は複数の領域に区分されている。

【 0 0 1 1 】

メモリデバイスが形成される領域（以後、「メモリ形成領域」と呼ぶ）では、半導体基板 1 の上面内に p 型のウェル領域 3 が形成されており、ロジックデバイスが形成される領域（以後、「ロジック形成領域」と呼ぶ）では、半導体基板 1 の上面内に p 型のウェル領域 5 3 が形成されている。

【 0 0 1 2 】

ウェル領域 3 の上面内には、互いに所定距離を成す複数のソース・ドレイン領域 4 が形成されており、それらの上面内にはコバルトシリサイド膜 9 が形成されている。また、ウェル領域 5 3 の上面内には、互いに所定距離を成す複数のソース・ドレイン領域 5 4 が形成されており、それらの上面内にはコバルトシリサイド膜 5 9 が形成されている。なお、ソース・ドレイン領域 4, 5 4 はともに n 型の不純物領域である。

【 0 0 1 3 】

メモリ形成領域における半導体基板 1 上には、互いに所定距離を成す複数のゲート構造 5 が形成されている。各ゲート構造 5 は、ゲート絶縁膜 6 と、DRAM メモリセルのワード線として機能するゲート電極 7 と、サイドウォール 8 とを備えており、ゲート電極 7 の上面にはコバルトシリサイド膜 1 9 が形成されている。ゲート絶縁膜 6、ゲート電極 7 及びコバルトシリサイド膜 1 9 は、半導体基板 1 からこの順で積層されており、これらで積層構造を成している。サイドウォール 8 は、この積層構造の側面に形成されている。そして、各ゲート構造 5 は、互いに隣り合うソース・ドレイン領域 4 の間の半導体基板 1 の上面上に設けられおり、コバルトシリサイド膜 9 は互いに隣り合うゲート構造 5 の間に設けられている。

【 0 0 1 4 】

ロジック形成領域における半導体基板 1 上には、互いに所定距離を成す複数のゲート構造 5 5 が形成されている。各ゲート構造 5 5 は、ゲート絶縁膜 5 6 と、

ゲート電極 57 と、サイドウォール 58 とを備えており、ゲート電極 57 の上面にはコバルトシリサイド膜 69 が形成されている。ゲート絶縁膜 56、ゲート電極 57 及びコバルトシリサイド膜 69 は、半導体基板 1 からこの順で積層されており、これらで積層構造を成している。サイドウォール 58 は、この積層構造の側面に形成されている。そして、各ゲート構造 55 は、互いに隣り合うソース・ドレイン領域 54 の間の半導体基板 1 の上面上に設けられおり、コバルトシリサイド膜 59 は互いに隣り合うゲート構造 55 の間に設けられている。

【0015】

ゲート構造 5 と、互いに隣り合う一対のソース・ドレイン領域 4 と、ウェル領域 3 とで、DRAM メモリセルの MOS トランジスタを構成し、ゲート構造 55 と、互いに隣り合う一対のソース・ドレイン領域 54 と、ウェル領域 53 とで、ロジックデバイスとして機能する MOS トランジスタを構成している。なお、各ゲート絶縁膜 6、56 には例えばシリコン酸化膜が採用され、各ゲート電極 7、57 には例えば多結晶シリコン膜が採用される。

【0016】

メモリ形成領域のコバルトシリサイド膜 9 は、ロジック形成領域のコバルトシリサイド膜 59 よりも薄く形成されている。そのため、コバルトシリサイド膜 9 の膜厚 t_m は、コバルトシリサイド膜 59 の膜厚 t_{r1} よりも小さい。

【0017】

また、ゲート構造 5、55 の高さ h は互いに同じであって、互いに隣り合うゲート構造 5 の距離 d_m は、互いに隣り合うゲート構造 55 間の距離 d_{r1} よりも小さく設定されている。従って、メモリ形成領域におけるゲートアスペクト比は、ロジック形成領域におけるゲートアスペクト比よりも大きい。

【0018】

ここで、ゲートアスペクト比とは、ゲート構造の高さと、互いに隣り合うゲート構造間の距離との比である。具体的には、メモリ形成領域におけるゲートアスペクト比は、ゲート構造 5 の高さ h を、互いに隣り合うゲート構造 5 間の距離 d_m で除算した値である。また、ロジック形成領域におけるゲートアスペクト比は、ゲート構造 55 の高さ h を、互いに隣り合うゲート構造 55 間の距離 d_{r1} で

除算した値である。以後、ゲート構造 5 の高さ h をゲート構造 5 間の距離 d_m で除算した値を「第 1 のゲートアスペクト比」と呼び、ゲート構造 5 5 の高さ h をゲート構造 5 5 間の距離 d_{r1} で除算した値を「第 2 のゲートアスペクト比」と呼ぶ。

【 0 0 1 9 】

本実施の形態 1 では、第 1 のゲートアスペクト比は 0.8 よりも大きく設定されており、第 2 のゲートアスペクト比は 0.8 以下に設定されている。

【 0 0 2 0 】

メモリ形成領域及びロジック形成領域における半導体基板 1 上には、ゲート構造 5、5 5 及びコバルトシリサイド膜 1 9、6 9 を覆って、層間絶縁膜 2 0 が形成されている。層間絶縁膜 2 0 内には複数のコンタクトプラグ 1 0 が形成されており、それらは、コバルトシリサイド膜 9 に接続されている。これにより、ソース・ドレイン領域 4 とコンタクトプラグ 1 0 とが電氣的に接続される。なお、コンタクトプラグ 1 0 の上面は層間絶縁膜 2 0 から露出している。

【 0 0 2 1 】

層間絶縁膜 2 0 及びコンタクトプラグ 1 0 の上には、層間絶縁膜 2 1、2 2 から成る絶縁層 2 3 が形成されている。絶縁層 2 3 内には、DRAMメモリセルのキャパシタ 1 1 が複数形成されており、各キャパシタ 1 1 は、下部電極 1 2 と誘電体膜 1 3 と上部電極 1 4 とを備えている。そして、上部電極 1 4 は誘電体膜 1 3 を介して下部電極 1 2 に対向して設けられている。

【 0 0 2 2 】

キャパシタ 1 1 の下部電極 1 2 は、複数のコンタクトプラグ 1 0 の一部、具体的には、互いに隣り合うソース・ドレイン領域 4 の一方に電氣的に接続されたコンタクトプラグ 1 0 に接続されている。これにより、互いに隣り合うソース・ドレイン領域 4 の一方に形成されたコバルトシリサイド膜 9 とキャパシタ 1 1 とが互いに電氣的に接続される。

【 0 0 2 3 】

また、絶縁層 2 3 内には複数のコンタクトプラグ 1 5 が形成されている。コンタクトプラグ 1 5 は、キャパシタ 1 1 と電氣的に接続されていないコンタクトプ

ラグ 1 0 と接続されている。そして、層間絶縁膜 2 0 及び絶縁層 2 3 には、複数のコンタクトプラグ 6 0 が形成されている。コンタクトプラグ 6 0 は、ソース・ドレイン領域 5 4 に形成されたコバルトシリサイド膜 5 9 に接続されている。なお、各コンタクトプラグ 1 5, 6 0 の上面は、絶縁層 2 3 から露出している。

【 0 0 2 4 】

絶縁層 2 3 上には、コンタクトプラグ 1 5 と接触してメタル配線 1 6 が、コンタクトプラグ 6 0 と接触してメタル配線 6 6 が形成されている。なお、メタル配線 1 6 は、DRAMメモリセルのビット線であって、キャパシタ 1 1 の上方に位置している。

【 0 0 2 5 】

上述のように、本実施の形態 1 に係る半導体装置では、ソース・ドレイン領域 4 の上面内に形成されたコバルトシリサイド膜 9 が、ソース・ドレイン領域 5 4 の上面内に形成されたコバルトシリサイド膜 5 9 よりも薄いため、コバルトシリサイド膜 9 とウェル領域 3 との間の距離が、コバルトシリサイド膜 5 9 とウェル領域 5 3 との間の距離よりも長くなる。そのため、ソース・ドレイン領域 4 とウェル領域 3 との間のリーク電流を、ソース・ドレイン領域 5 4 とウェル領域 5 3 との間のリーク電流よりも低減することができる。

【 0 0 2 6 】

一方、コバルトシリサイド膜 5 9 は、コバルトシリサイド膜 9 よりも厚いため、ソース・ドレイン領域 5 4 をソース・ドレイン領域 4 よりも低抵抗化できる。従って、ロジック形成領域のソース・ドレイン領域 5 4 の低抵抗化と、コバルトシリサイド膜 9 に電氣的に接続されたキャパシタ 1 1 の低リーク電流化とを両立させることができる。

【 0 0 2 7 】

また、ソース・ドレイン領域 5 4 にコバルトシリサイド膜 5 9 が形成されているため、ロジック形成領域に設けられた MOS トランジスタを高速動作させることができる。

【 0 0 2 8 】

次に、図 1 に示す半導体装置の製造方法について説明する。図 2 ～ 7 は図 1 に

示す半導体装置の製造方法を工程順に示す断面図である。まず、図 2 に示されるように、周知の LOCOS 分離技術やトレンチ分離技術によって、半導体基板 1 の上面内に素子分離絶縁膜 2 を形成する。そして、メモリ形成領域及びロジック形成領域における半導体基板 1 の上面内に、ウェル領域 3, 5 3 をそれぞれ形成する。

【 0 0 2 9 】

次に、例えば半導体基板 1 を熱酸化して半導体基板 1 の上面にシリコン酸化膜を形成し、その後、全面に多結晶シリコン膜を形成する。そして、所定の開口パターンを有するレジストを用いて、当該シリコン酸化膜及び多結晶シリコン膜をエッチングする。これにより、図 3 に示されるように、メモリ形成領域にゲート絶縁膜 6 及びゲート電極 7 が形成され、ロジック形成領域にゲート絶縁膜 5 6 及びゲート電極 5 7 が形成される。

【 0 0 3 0 】

そして、素子分離絶縁膜 2、ゲート絶縁膜 6, 5 6 及びゲート電極 7, 5 7 をマスクに用いて、リンやヒ素等の不純物を、比較的低濃度で半導体基板 1 の上面内にイオン注入する。これにより、図 3 に示されるように、メモリ形成領域における半導体基板 1 の上面内に n^- 型の不純物領域 4 a が形成されるとともに、ロジック形成領域における半導体基板 1 の上面内に n^- 型の不純物領域 5 4 a が形成される。

【 0 0 3 1 】

次に、例えば CVD 法によってシリコン窒化膜を全面に形成した後に、半導体基板 1 の深さ方向にエッチングレートが高い異方性ドライエッチング法によって、かかるシリコン窒化膜をエッチングする。これにより、図 4 に示されるように、ともにシリコン窒化膜からなるサイドウォール 8, 5 8 が形成され、ゲート構造 5, 5 5 が半導体基板 1 上に完成する。

【 0 0 3 2 】

そして、ゲート構造 5, 5 5 及び素子分離絶縁膜 2 をマスクに用いて、リンやヒ素等の不純物を、比較的高濃度で半導体基板 1 の上面内にイオン注入する。これにより、図 4 に示されるように、メモリ形成領域における半導体基板 1 の上面

内に n^+ 型の不純物領域4 bが形成されるとともに、ロジック形成領域における半導体基板1の上面内に n^+ 型の不純物領域5 4 bが形成される。

【0 0 3 3】

以上の図3, 4を参照して説明した工程により、メモリ形成領域における半導体基板1上に複数のゲート構造5が形成されるとともに、互いに隣り合うゲート構造5の間のウェル領域3の上面内に、不純物領域4 a, 4 bから成るソース・ドレイン領域4が形成されて、DRAMメモリセルのMOSトランジスタが完成する。また、ロジック形成領域における半導体基板1上に複数のゲート構造5 5が形成されるとともに、互いに隣り合うゲート構造5 5の間のウェル領域5 3の上面内に、不純物領域5 4 a, 5 4 bから成るソース・ドレイン領域5 4が形成されて、ロジックデバイスとして機能するMOSトランジスタが完成する。

【0 0 3 4】

次に図5に示されるように、図4に示す構造の上方から、無指向性スパッタ法を用いて、コバルトから成る金属材料2 5を全面に堆積する。ここで、無指向性スパッタ法とは、コリーメーションスパッタ法に代表される直線性の良いスパッタ法とは異なり、スパッタリングによりターゲットから弾き飛ばされた金属材料の飛翔方向を、半導体基板の深さ方向に揃えるための特別な手段は用いられていないスパッタ法である。そのため、この無指向性スパッタ法では、ターゲットから弾き飛ばされた金属材料は、四方八方のベクトルを持って半導体基板上に堆積される。

【0 0 3 5】

このような無指向性スパッタ法を用いて、複数のゲート構造が所定間隔で形成された半導体基板上に、上方から金属材料を堆積すると、互いに隣り合うゲート構造の間のソース・ドレイン領域上に堆積される金属材料の膜厚は、ゲートアスペクト比に依存する。上述のように、無指向性スパッタ法では、金属材料の飛翔方向は四方八方のベクトルを有するため、ゲートアスペクト比が大きくなると、ゲート構造の側面に堆積する金属材料の膜厚が大きくなり、その反面ソース・ドレイン領域に堆積する金属材料の膜厚は小さくなる。

【0 0 3 6】

本実施の形態1では、メモリ形成領域のゲート構造5の高さとゲート構造5間の距離とで規定される第1のゲートアスペクト比は、ロジック形成領域のゲート構造55の高さとゲート構造55間の距離とで規定される第2のゲートアスペクト比よりも大きく設定されている。従って、無指向性スパッタ法を用いて金属材料25を全面に堆積すると、図5に示されるように、ソース・ドレイン領域4上の金属材料25の厚み t_{mm} が、ソース・ドレイン領域54上の金属材料25の厚み t_{mr1} よりも小さくなる。

【0037】

次に、例えばランプアニール装置を用いて熱処理を行うことにより、金属材料25と、それに接触しているシリコンとを互いに反応させる。つまり、金属材料25と、それに接触している半導体基板1及びゲート電極7、57とを互いに反応させる。そして、未反応の金属材料25を除去する。

【0038】

これにより、図6に示されるように、半導体基板1の上面が部分的にシリサイド化されて、ソース・ドレイン領域4、54の上面内にコバルトシリサイド膜9、59がそれぞれ形成される。同時に、ゲート電極7、57の上面がシリサイド化されて、ゲート電極7、57にコバルトシリサイド膜19、69がそれぞれ形成される。

【0039】

このとき、ソース・ドレイン領域4に堆積していた金属材料25の膜厚 t_{mm} はソース・ドレイン領域54に堆積していた金属材料25の膜厚 t_{mr1} より小さいため、ソース・ドレイン領域4に形成されるコバルトシリサイド膜9の膜厚 t_m は、ソース・ドレイン領域54に形成されるコバルトシリサイド膜59の膜厚 t_{r1} よりも小さくなる。

【0040】

次に図7に示されるように、ゲート構造5、55及びコバルトシリサイド膜19、69を覆って層間絶縁膜20を半導体基板1上に形成する。そして、コンタクトプラグ10を層間絶縁膜20内に形成する。具体的には、まず、所定の開口パターンを有するレジスト（図示せず）を層間絶縁膜20上に形成する。次に、

かかるレジストを用いて層間絶縁膜 2 0 をエッチングして、コバルトシリサイド膜 9 に達するコンタクトホール（図示せず）を層間絶縁膜 2 0 に形成する。そして、このコンタクトホールを充填するコンタクトプラグを形成することにより、層間絶縁膜 2 0 に複数のコンタクトプラグ 1 0 が形成される。

【 0 0 4 1 】

次に、層間絶縁膜 2 0 及びコンタクトプラグ 1 0 の上に、層間絶縁膜 2 1 を形成する。そして、隣り合うソース・ドレイン領域 4 の一方に電氣的に接続されたコンタクトプラグ 1 0 を露出させる開口部（図示せず）を層間絶縁膜 2 1 内に形成する。

【 0 0 4 2 】

次に図 7 に示されるように、露出しているコンタクトプラグ 1 0 に接触する、DRAM メモリセルのキャパシタ 1 1 を開口部内に形成する。具体的には、まず例えばルテニウム等の高融点金属を含む金属膜を全面に形成する。そして、開口部をレジストで覆って、層間絶縁膜 2 1 の上面上の金属膜を異方性ドライエッチングで除去する。これにより、ルテニウム等の高融点金属を含むキャパシタ 1 1 の下部電極 1 2 が、開口部内に形成される。次に、例えば五酸化タンタルから成る絶縁膜と、ルテニウム等の高融点金属を含む金属膜とをこの順で全面に積層した後、レジストを用いてこれらをパターニングする。これにより、五酸化タンタルから成るキャパシタ 1 1 の誘電体膜 1 3 と、ルテニウム等の高融点金属を含むキャパシタ 1 1 の上部電極 1 4 とが形成され、開口部内にキャパシタ 1 1 が完成する。

【 0 0 4 3 】

次に層間絶縁膜 2 2 を全面に形成し、CMP 法によって平坦化する。これにより、キャパシタ 1 1 を覆う層間絶縁膜 2 2 が層間絶縁膜 2 1 上に形成され、絶縁層 2 3 が完成する。

【 0 0 4 4 】

次に、キャパシタ 1 1 と電氣的に接続されていないコンタクトプラグ 1 0 を露出させるコンタクトホール（図示せず）を絶縁層 2 3 に形成するとともに、ロジック形成領域のコバルトシリサイド膜 5 9 を露出させるコンタクトホール（図示

せず)を絶縁層23及び層間絶縁膜20に形成する。そして、各コンタクトホールを充填するコンタクトプラグを形成することにより、絶縁層23にはコンタクトプラグ15が、絶縁層23及び層間絶縁膜20にはコンタクトプラグ60がそれぞれ形成される。

【0045】

次に、コンタクトプラグ15と接触するメタル配線16と、コンタクトプラグ60と接触するメタル配線66とを絶縁層23上に形成する。

【0046】

以上の工程により、図1に示す本実施の形態1に係る半導体装置が完成する。

【0047】

このように、本実施の形態1では、メモリ形成領域における第1のゲートアスペクト比が、ロジック形成領域における第2のゲートアスペクト比よりも大きいため、無指向性スパッタ法を用いることによって、ソース・ドレイン領域4上の金属材料25が、ソース・ドレイン領域54上の金属材料25よりも薄くなる。従って、ソース・ドレイン領域4の上面内に形成されるコバルトシリサイド膜9が、ソース・ドレイン領域54の上面内に形成されるコバルトシリサイド膜59よりも薄くなる。

【0048】

言い換えれば、第1のゲートアスペクト比が、第2のゲートアスペクト比よりも大きく設定されているため、無指向性スパッタ法を用いることによって、コバルトシリサイド膜9をコバルトシリサイド膜59よりも簡単に薄くすることができる。

【0049】

従って、ソース・ドレイン領域4とウェル領域3との間のリーク電流を、ソース・ドレイン領域54とウェル領域53との間のリーク電流よりも低減することができる。

【0050】

一方、コバルトシリサイド膜59は、コバルトシリサイド膜9よりも厚くなるため、ソース・ドレイン領域54をソース・ドレイン領域4よりも低抵抗化でき

る。従って、ロジック形成領域のソース・ドレイン領域 5 4 の低抵抗化と、コバルトシリサイド膜 9 に電氣的に接続されたキャパシタ 1 1 の低リーク電流化とを両立させることができる。

【0051】

また、本実施の形態 1 では、第 1 のゲートアスペクト比が 0.8 よりも大きく設定されているため、メモリ形成領域のコバルトシリサイド膜 9 を簡単に薄くできる。以下に、このことについて説明する。

【0052】

図 8 は、ゲートアスペクト比とシリサイド膜の膜厚との関係を示す図である。図 8 では、シリサイド膜の形成に、無指向性スパッタ法を用いた場合の特性を実線で示し、直線性の良いスパッタ法を用いた場合の特性を一点鎖線で示している。図 8 に示されるように、ゲートアスペクト比が 0.8 よりも大きくなると、シリサイド膜の膜厚は急激に小さくなり、その変化率が大きくなる。従って、本実施の形態 1 のように、第 1 のゲートアスペクト比を 0.8 よりも大きくすることによって、コバルトシリサイド膜 9 を簡単に薄くすることができる。

【0053】

実施の形態 2.

図 9 は本発明の実施の形態 2 に係る半導体装置の構造を示す断面図である。本実施の形態 2 に係る半導体装置は、上述の実施の形態 1 に係る半導体装置において、基本的には、ロジック形成領域に、第 2 のゲートアスペクト比よりも大きいゲートアスペクト比を有する領域を更に備えるものである。本実施の形態 2 では、実施の形態 1 で説明した第 2 のゲートアスペクト比を有する領域を「第 1 領域」と呼び、本実施の形態 2 で新たに追加した、第 2 のゲートアスペクト比よりも大きいゲートアスペクト比を有する領域を「第 2 領域」と呼ぶ。

【0054】

図 9 に示されるように、本実施の形態 2 に係る半導体装置では、ロジック形成領域の第 2 領域における半導体基板 1 の上面内には、p 型のウェル領域 8 3 が形成されている。そして、ウェル領域 8 3 の上面内には、互いに所定距離を成す複数のソース・ドレイン領域 8 4 が形成されており、それらの上面内にはコバルト

シリサイド膜 8 9 が形成されている。なお、ソース・ドレイン領域 8 4 は n 型の不純物領域である。

【 0 0 5 5 】

第 2 領域における半導体基板 1 上には、互いに所定距離を成す複数のゲート構造 8 5 が形成されている。各ゲート構造 8 5 は、ゲート絶縁膜 8 6 と、ゲート電極 8 7 と、サイドウォール 8 8 とを備えており、ゲート電極 8 7 の上面にはコバルトシリサイド膜 9 9 が形成されている。ゲート絶縁膜 8 6、ゲート電極 8 7 及びコバルトシリサイド膜 9 9 は、半導体基板 1 からこの順で積層されており、これらで積層構造を成している。サイドウォール 8 8 は、この積層構造の側面に形成されている。そして、各ゲート構造 8 5 は、互いに隣り合うソース・ドレイン領域 8 4 の間の半導体基板 1 の上面上に設けられおり、コバルトシリサイド膜 8 9 は互いに隣り合うゲート構造 8 5 の間に設けられている。

【 0 0 5 6 】

ゲート構造 8 5 と、互いに隣り合う一対のソース・ドレイン領域 8 4 と、ウェル領域 8 3 とで、ロジックデバイスとして機能する MOS トランジスタが構成される。なお、ゲート絶縁膜 8 6 には例えばシリコン酸化膜が採用され、ゲート電極 8 7 には例えば多結晶シリコン膜が採用される。

【 0 0 5 7 】

第 2 領域のコバルトシリサイド膜 8 9 は、メモリ形成領域のコバルトシリサイド膜 9 及び第 1 領域のコバルトシリサイド膜 5 9 よりも厚く形成されている。そのため、コバルトシリサイド膜 9 の膜厚 t_m 、コバルトシリサイド膜 5 9 の膜厚 t_{r1} 及びコバルトシリサイド膜 8 9 の膜厚 t_{r2} がこの順で大きくなっている。

【 0 0 5 8 】

また、ゲート構造 8 5 の高さ h はゲート構造 5, 5 5 と同じであって、互いに隣り合うゲート構造 8 5 間の距離 d_{r2} は、ゲート構造 5 間の距離 d_m 及びゲート構造 5 5 間距離 d_{r1} よりも大きく設定されている。従って、ゲート構造 8 5 の高さ h をゲート構造 8 5 間の距離 d_{r2} で除算した値で示される、第 2 領域におけるゲートアスペクト比は、メモリ形成領域における第 1 のゲートアスペクト

比及び第 1 領域における第 2 のゲートアスペクト比よりも大きくなっている。以後、第 2 領域のゲートアスペクト比を「第 3 のゲートアスペクト比」と呼ぶ。

【 0 0 5 9 】

上述の実施の形態 1 では、第 2 のゲートアスペクト比を 0. 8 以下に設定していたが、本実施の形態 2 では、第 1, 2 のゲートアスペクト比を 0. 8 よりも大きく設定し、第 3 のゲートアスペクト比を 0. 8 以下に設定する。

【 0 0 6 0 】

層間絶縁膜 2 0 は、第 2 領域における半導体基板 1 上にも、ゲート構造 8 5 及びコバルトシリイド膜 9 9 を覆って形成されている。そして、第 2 領域における層間絶縁膜 2 0 上にも絶縁層 2 3 が形成されている。

【 0 0 6 1 】

第 2 領域における絶縁層 2 3 及び層間絶縁膜 2 0 内には、複数のコンタクトプラグ 9 0 が形成されている。コンタクトプラグ 9 0 は、ソース・ドレイン領域 8 4 に形成されたコバルトシリサイド膜 8 9 に接続されており、その上面は絶縁層 2 3 から露出している。そして、第 2 領域における絶縁層 2 3 上には、コンタクトプラグ 9 0 と接触してメタル配線 9 6 が形成されている。

【 0 0 6 2 】

このように、本実施の形態 2 に係る半導体装置では、コバルトシリサイド膜 8 9 がコバルトシリサイド膜 5 9 よりも厚いため、ソース・ドレイン領域 8 4 をソース・ドレイン領域 5 4 よりも低抵抗化できる。従って、動作速度が重要視される回路、例えば「クリティカル・パス」と呼ばれるロジックデバイスの速度性能を決定する回路を、ソース・ドレイン領域 5 4 を利用して形成することによって、かかる回路の動作速度を確実に向上することができ、その結果、ロジックデバイス全体の動作速度を向上することができる。

【 0 0 6 3 】

一方、コバルトシリサイド膜 5 9 はコバルトシリサイド膜 8 9 よりも薄いため、ソース・ドレイン領域 5 4 とウェル領域 5 3 との間のリーク電流を、ソース・ドレイン領域 8 4 とウェル領域 8 3 との間のリーク電流よりも低減することができる。従って、ロジックデバイスのうち、クリティカル・パス以外の、動作速度

があまり重要視されない回路を第 1 領域に形成することによって、ロジックデバイス全体のリーク電流の増加を抑えつつ、動作速度が重要視される回路を確実に高速化できる。

【 0 0 6 4 】

また、ソース・ドレイン領域 5 4 にコバルトシリサイド膜 5 9 が、ソース・ドレイン領域 8 4 にコバルトシリサイド膜 5 9 がそれぞれ形成されているため、ロジック形成領域に設けられた MOS トランジスタを高速動作させることができる。

【 0 0 6 5 】

次に、図 9 に示す半導体装置の製造方法について説明する。図 1 0 ～ 1 5 は図 9 に示す半導体装置の製造方法を工程順に示す断面図である。まず、図 1 0 に示されるように、半導体基板 1 の上面内に素子分離絶縁膜 2 を形成した後に、ウェル領域 3, 5 3 とともに、ロジック形成領域の第 2 領域における半導体基板 1 の上面内にウェル領域 8 3 を形成する。

【 0 0 6 6 】

次に、例えば半導体基板 1 を熱酸化して半導体基板 1 の上面にシリコン酸化膜を形成し、その後、全面に多結晶シリコン膜を形成する。そして、所定の開口パターンを有するレジストを用いて、当該シリコン酸化膜及び多結晶シリコン膜をエッチングする。これにより、図 1 1 に示されるように、ゲート絶縁膜 6, 5 6 及びゲート電極 7, 5 7 が形成されるとともに、第 2 領域にゲート絶縁膜 8 6 及びゲート電極 8 7 が形成される。

【 0 0 6 7 】

そして、素子分離絶縁膜 2、ゲート絶縁膜 6, 5 6, 8 6 及びゲート電極 7, 5 7, 8 7 をマスクに用いて、リンやヒ素等の不純物を、比較的低濃度で半導体基板 1 の上面内にイオン注入する。これにより、図 1 1 に示されるように、不純物領域 4 a, 5 4 a が形成されるとともに、第 2 領域における半導体基板 1 の上面内に n^- 型の不純物領域 8 4 a が形成される。

【 0 0 6 8 】

次に、例えば CVD 法によってシリコン窒化膜を全面に形成した後に、半導体

基板 1 の深さ方向にエッチングレートが高い異方性ドライエッチング法によって、かかるシリコン窒化膜をエッチングする。これにより、図 1 2 に示されるように、サイドウォール 8, 5 8 が形成されるとともに、シリコン窒化膜から成るサイドウォール 8 8 が形成され、ゲート構造 5, 5 5, 8 5 が半導体基板 1 上に完成する。

【 0 0 6 9 】

そして、ゲート構造 5, 5 5, 8 5 及び素子分離絶縁膜 2 をマスクに用いて、リンやヒ素等の不純物を、比較的高濃度で半導体基板 1 の上面内にイオン注入する。これにより、図 1 2 に示されるように、不純物領域 4 b, 5 4 b が形成されるとともに、第 2 領域における半導体基板 1 の上面内に n^+ 型の不純物領域 8 4 b が形成される。

【 0 0 7 0 】

以上の図 1 1, 1 2 を参照して説明した工程により、第 2 領域における半導体基板 1 上に複数のゲート構造 8 5 が形成されるとともに、互いに隣り合うゲート構造 8 5 の間のウェル領域 8 3 の上面内に、不純物領域 8 4 a, 8 4 b から成るソース・ドレイン領域 8 4 が形成され、ロジックデバイスとして機能する MOS トランジスタが完成する。

【 0 0 7 1 】

次に図 1 3 に示されるように、図 1 2 に示す構造の上方から、無指向性スパッタ法を用いて、コバルトから成る金属材料 2 5 を全面に堆積する。上述のように、無指向性スパッタ法を用いて金属材料 2 5 を堆積した場合、ゲートアスペクト比が大きくなると、ソース・ドレイン領域に堆積する金属材料の膜厚は小さくなる。本実施の形態 2 では、第 1 のゲートアスペクト比、第 2 のゲートアスペクト比及び第 3 のゲートアスペクト比はこの順で小さくなるため、図 1 3 に示されるように、ソース・ドレイン領域 4 上の金属材料 2 5 の厚み $t_{m m}$ 、ソース・ドレイン領域 5 4 上の金属材料 2 5 の厚み $t_{m r 1}$ 及びソース・ドレイン領域 8 4 上の金属材料 2 5 の厚み $t_{m r 2}$ はこの順で大きくなる。

【 0 0 7 2 】

次に、例えばランプアニール装置を用いて熱処理を行うことにより、金属材料

25と、それに接触しているシリコンとを互いに反応させる。つまり、金属材料25と、それに接触している半導体基板1及びゲート電極7, 57, 87とを互いに反応させる。そして、未反応の金属材料25を除去する。

【0073】

これにより、図14に示されるように、半導体基板1の上面が部分的にシリサイド化されて、コバルトシリサイド膜9, 59が形成されるとともに、ソース・ドレイン領域84の上面内にコバルトシリサイド膜89が形成される。同時に、ゲート電極7, 57, 87の上面がシリサイド化されて、コバルトシリサイド膜19, 69が形成されるとともに、ゲート電極87にコバルトシリサイド膜99が形成される。

【0074】

このとき、ソース・ドレイン領域4に堆積していた金属材料25の膜厚 t_{mm} 、ソース・ドレイン領域54に堆積していた金属材料25の膜厚 t_{mr1} 及びソース・ドレイン領域84に堆積していた金属材料25の膜厚 t_{mr2} は、この順で大きくなっていたため、ソース・ドレイン領域4に形成されたコバルトシリサイド膜9の膜厚 t_m 、ソース・ドレイン領域54に形成されたコバルトシリサイド膜59の膜厚 t_{r1} 及びソース・ドレイン領域84に形成されたコバルトシリサイド膜89の膜厚 t_{r2} は、この順で大きくなる。

【0075】

次に図15に示されるように、ゲート構造5, 55, 85及びコバルトシリサイド膜19, 69, 99を覆って層間絶縁膜20を全面に形成する。そして、上述のようにしてコンタクトプラグ10を形成する。

【0076】

次に、層間絶縁膜20及びコンタクトプラグ10の上に層間絶縁膜21を形成し、上述のようにしてDRAMメモリセルのキャパシタ11を層間絶縁膜21内に形成する。

【0077】

次に層間絶縁膜22を全面に形成し、CMP法によって平坦化する。これにより、キャパシタ11を覆う層間絶縁膜22が層間絶縁膜21上に形成され、絶縁

層 23 が完成する。

【0078】

次に、キャパシタ 11 と電氣的に接続されていないコンタクトプラグ 10 を露出させるコンタクトホール（図示せず）を絶縁層 23 に形成するとともに、第 1 領域のコバルトシリサイド膜 59 を露出させるコンタクトホール（図示せず）と、第 2 領域のコバルトシリサイド膜 89 を露出させるコンタクトホール（図示せず）とを絶縁層 23 及び層間絶縁膜 20 に形成する。そして、各コンタクトホールを充填するコンタクトプラグを形成することにより、コンタクトプラグ 15, 60 が形成されるとともに、第 2 領域における絶縁層 23 及び層間絶縁膜 20 にコンタクトプラグ 90 が形成される。

【0079】

次に、メタル配線 16, 66 と、コンタクトプラグ 90 に接触するメタル配線 96 とを絶縁層 23 上に形成する。

【0080】

以上の工程により、図 9 に示す本実施の形態 2 に係る半導体装置が完成する。

【0081】

このように、本実施の形態 2 では、第 2 領域における第 3 のゲートアスペクト比が、第 1 領域における第 2 のゲートアスペクト比よりも小さいため、第 2 領域のコバルトシリサイド膜 89 が第 1 領域のコバルトシリサイド膜 59 よりも厚くなる。

【0082】

言い換えれば、第 2 のゲートアスペクト比が、第 3 のゲートアスペクト比よりも大きく設定されているため、無指向性スパッタ法を用いることによって、コバルトシリサイド膜 59 よりも厚いコバルトシリサイド膜 89 を簡単に形成することができる。

【0083】

そのため、ソース・ドレイン領域 84 をソース・ドレイン領域 54 よりも低抵抗化できる。従って、動作速度が重要視される回路を、ソース・ドレイン領域 84 を利用して形成することによって、かかる回路の動作速度を確実に向上するこ

とができる。

【0084】

一方、コバルトシリサイド膜59はコバルトシリサイド膜89よりも薄く形成されるため、ソース・ドレイン領域54とウェル領域53との間のリーク電流を、ソース・ドレイン領域84とウェル領域83との間のリーク電流よりも低減することができる。従って、動作速度があまり重要視されない回路を第1領域に形成することによって、ロジックデバイス全体のリーク電流の増加を抑えつつ、動作速度が重要視される回路を確実に高速化できる。

【0085】

また、本実施の形態2では、第1、2のゲートアスペクト比がともに0.8よりも大きく設定されているため、上述の理由により、メモリ形成領域のコバルトシリサイド膜9と第1領域のコバルトシリサイド膜59をともに簡単に薄くできる。

【0086】

【発明の効果】

この発明に係る半導体装置によれば、メモリ形成領域における第1のシリサイド膜は、ロジック形成領域における第2のシリサイド膜よりも薄いため、第1、3の不純物領域間のリーク電流を、第2、4の不純物領域間のリーク電流よりも低減することができる。一方、第2のシリサイド膜は第1のシリサイド膜よりも厚いため、第4の不純物領域を第3の不純物領域よりも低抵抗化できる。従って、ロジック形成領域の第4の不純物領域の低抵抗化と、第1のシリサイド膜に電氣的に接続されたキャパシタの低リーク電流化とを両立させることができる。

【0087】

また、この発明に係る半導体装置の製造方法によれば、第1のゲートアスペクト比が第2のゲートアスペクト比よりも大きいため、無指向性スパッタ法を用いることによって、工程(e)において、第3の不純物領域上の金属材料が、第4の不純物領域上の金属材料よりも薄くなる。そのため、工程(f)において形成される、第3の不純物領域の上面内のシリサイド膜が、第4の不純物領域の上面内のシリサイド膜よりも薄くなる。その結果、第1、3の不純物領域間のリーク

電流を、第 2, 4 の不純物領域間のリーク電流よりも低減することができる。一方、第 4 の不純物領域の上面内のシリサイド膜は、第 3 の不純物領域の上面内のシリサイド膜よりも厚くなるため、第 4 の不純物領域を第 3 の不純物領域よりも低抵抗化できる。従って、ロジック形成領域の第 4 の不純物領域の低抵抗化と、第 1 のシリサイド膜に電氣的に接続されたキャパシタの低リーク電流化とを両立させることができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 に係る半導体装置の構造を示す断面図である。

【図 2】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 4】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 5】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 6】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 7】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 8】 ゲートアスペクト比とシリサイド膜の膜厚との関係を示す図である。

【図 9】 本発明の実施の形態 2 に係る半導体装置の構造を示す断面図である。

【図 10】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 11】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 2】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 3】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 4】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

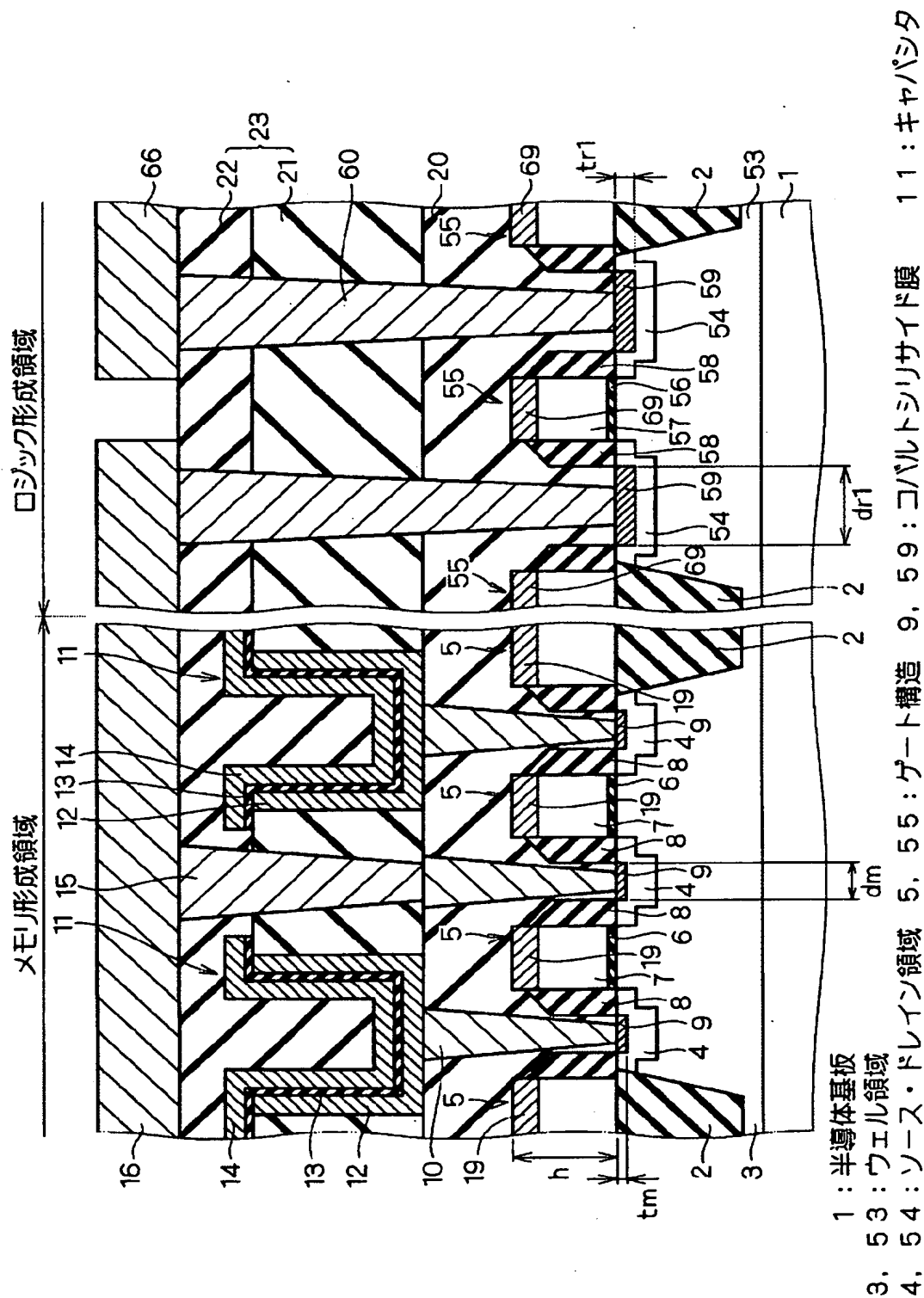
【図 1 5】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【符号の説明】

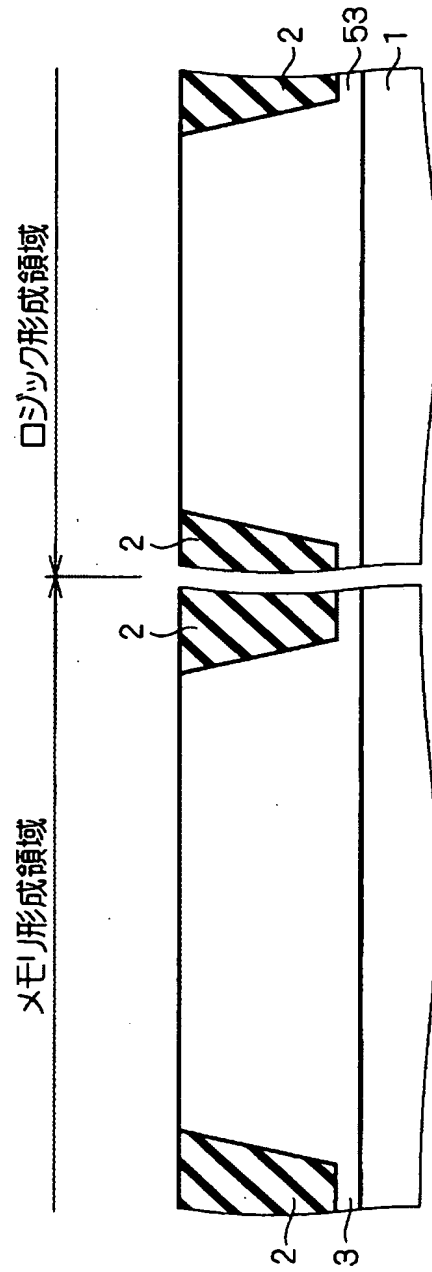
1 半導体基板、3, 53, 83 ウェル領域、4, 54, 84 ソース・ドレイン領域、5, 55, 85 ゲート構造、9, 59, 89 コバルトシリサイド膜、11 キャパシタ、25 金属材料。

【書類名】 図面

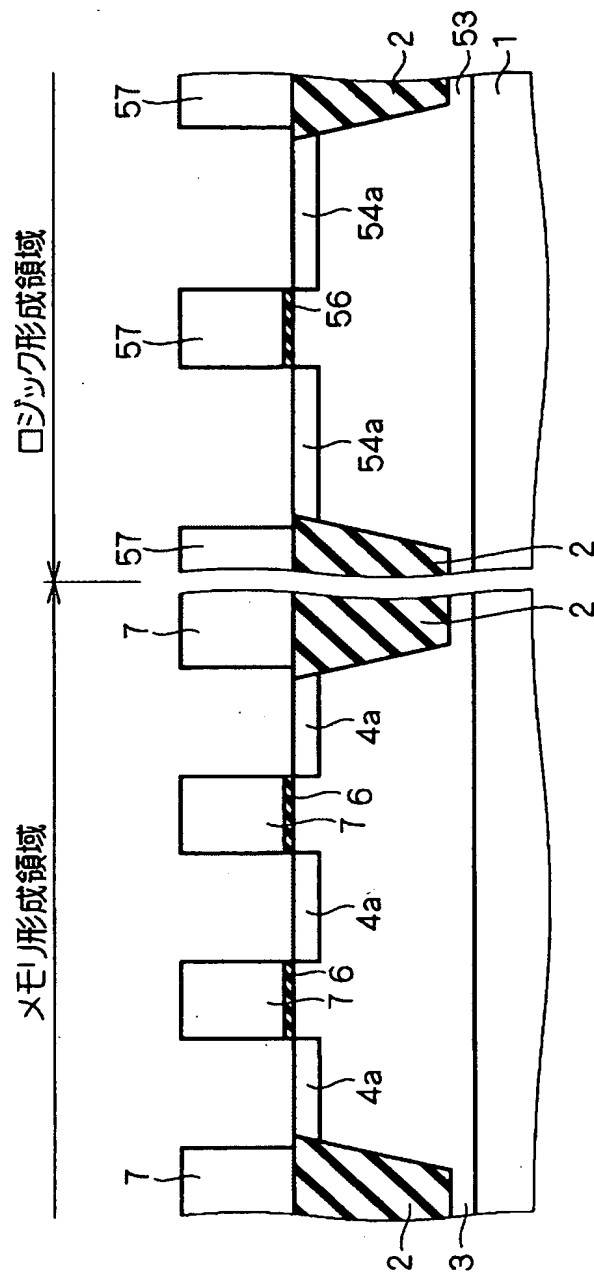
【図 1】



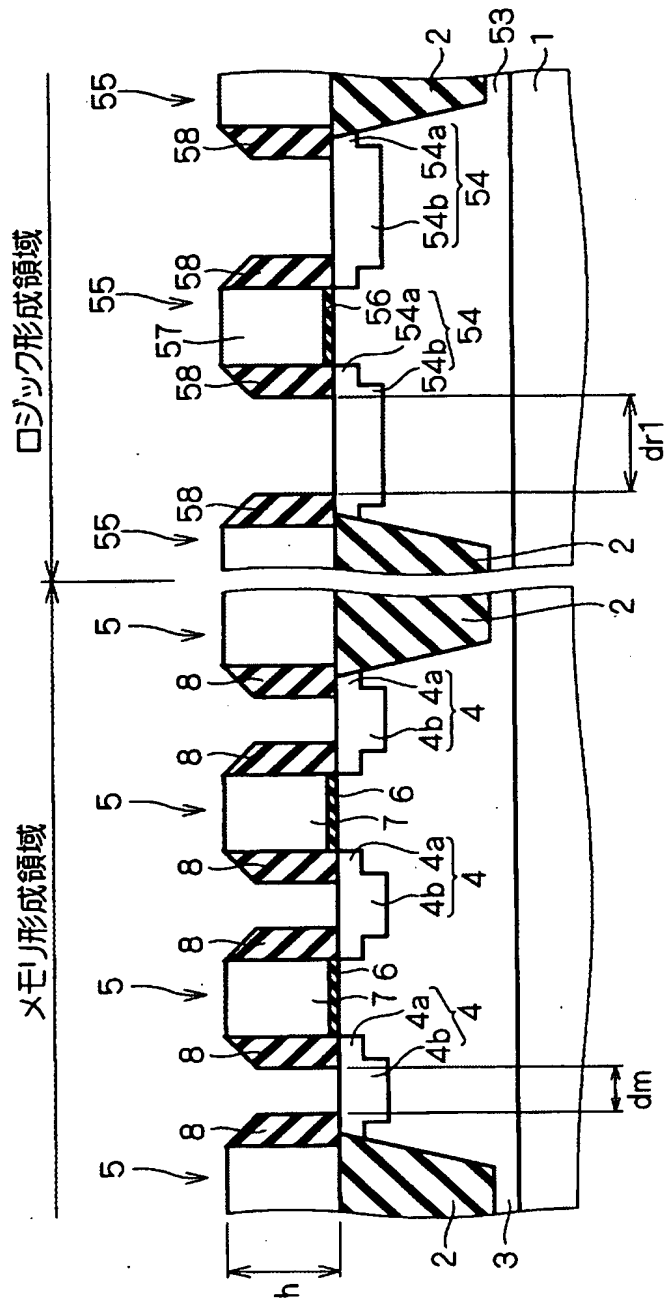
【図 2】



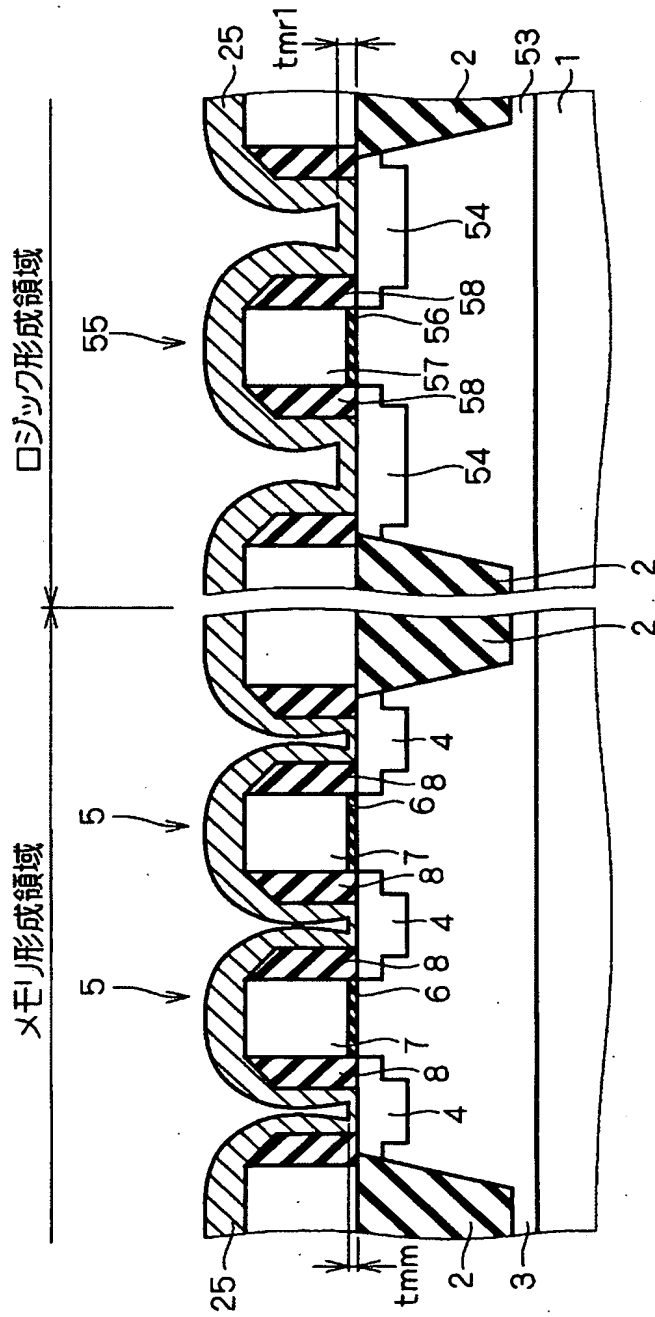
【図 3】



【図 4】

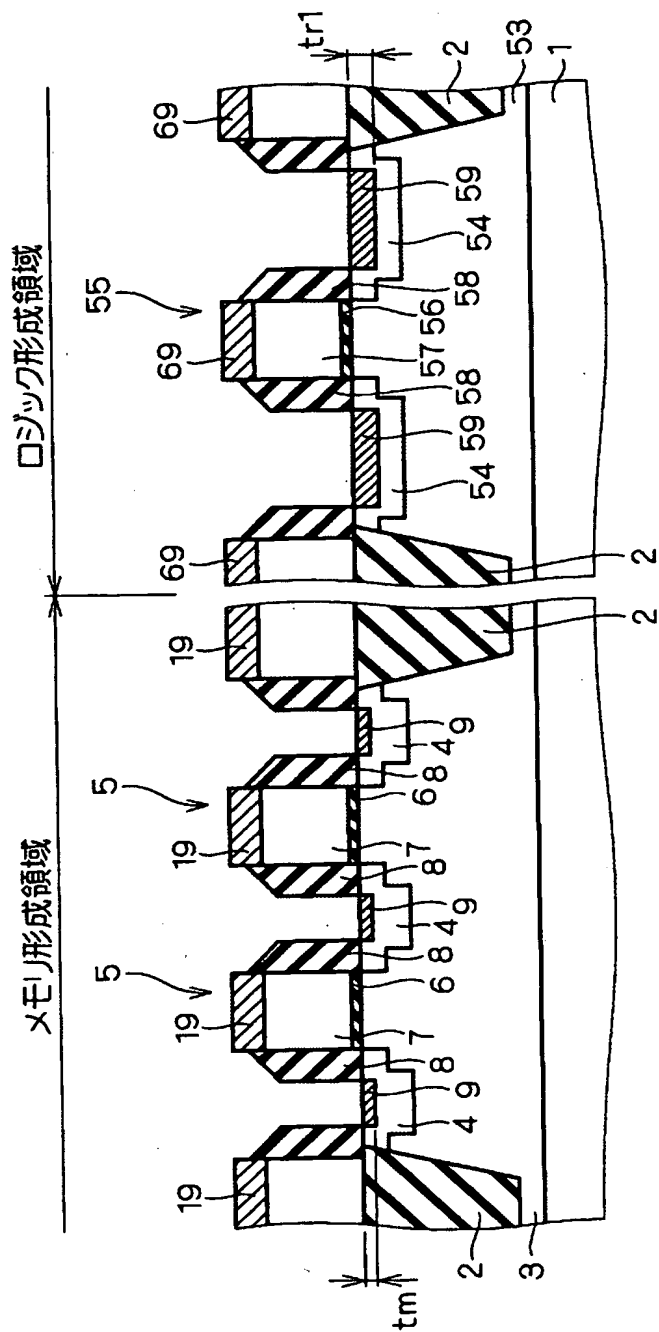


【図 5】

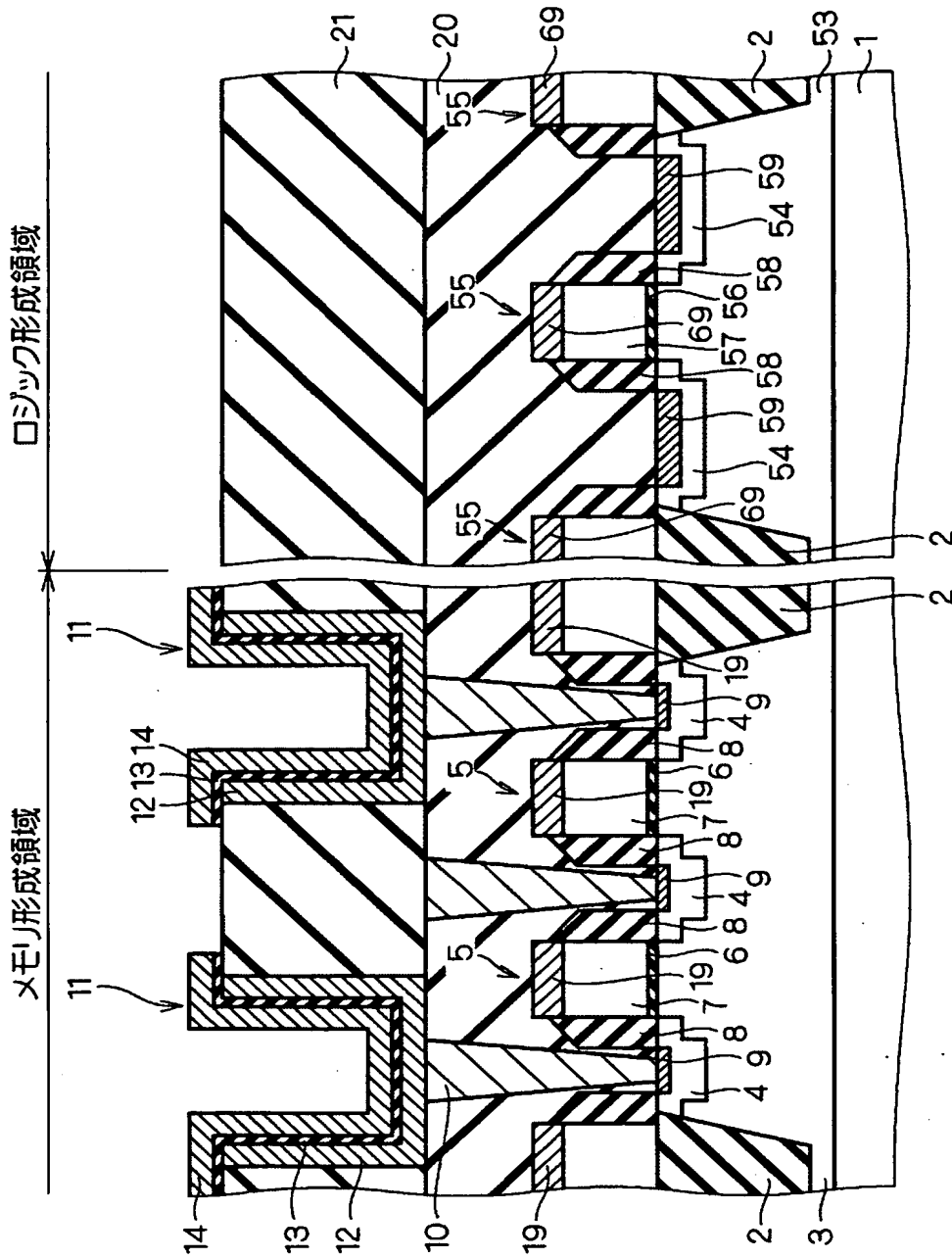


25 : 金属材料

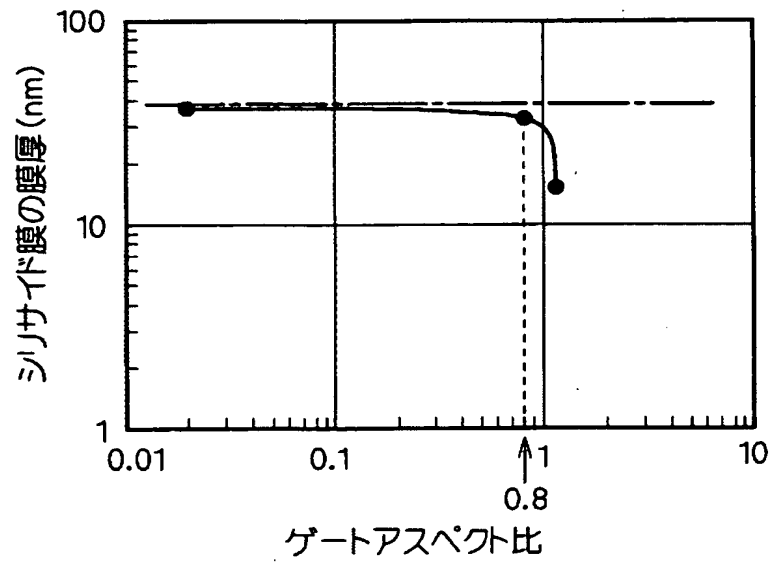
【図 6】



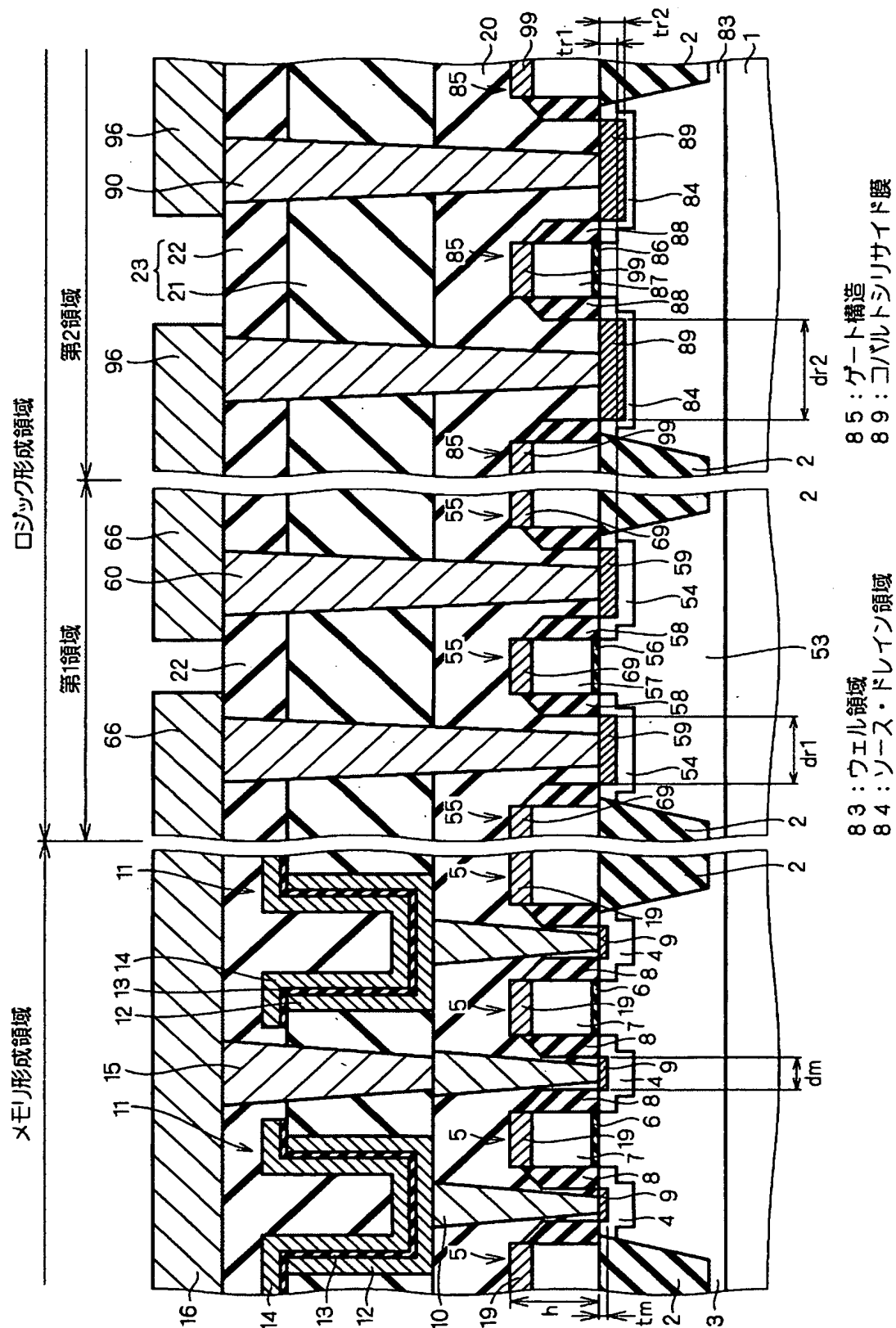
【図7】



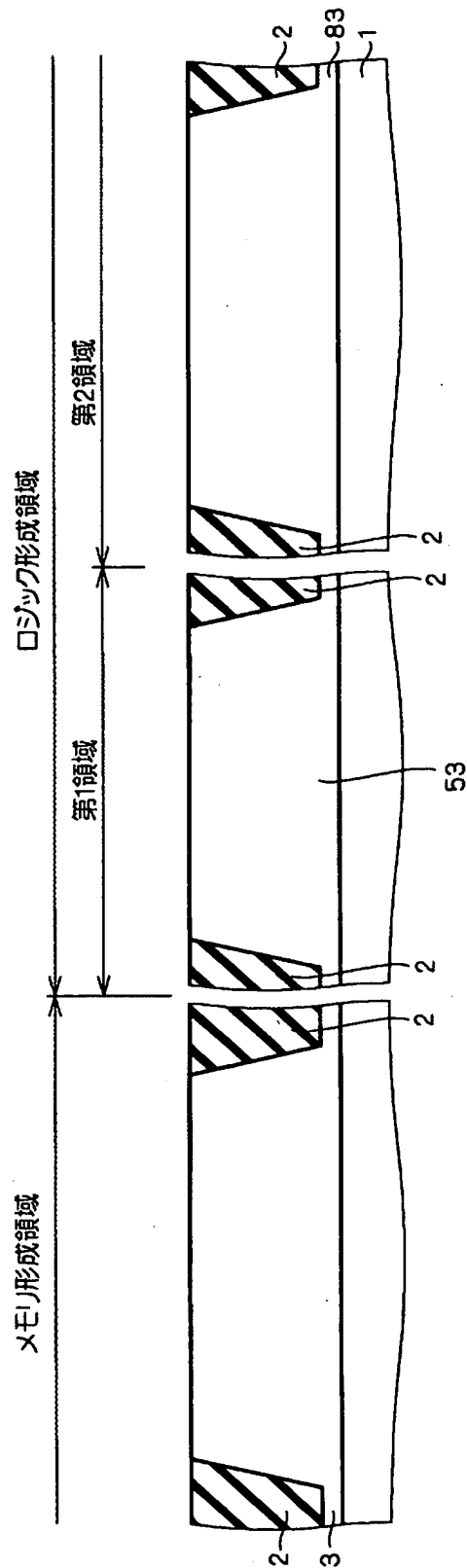
【図 8】



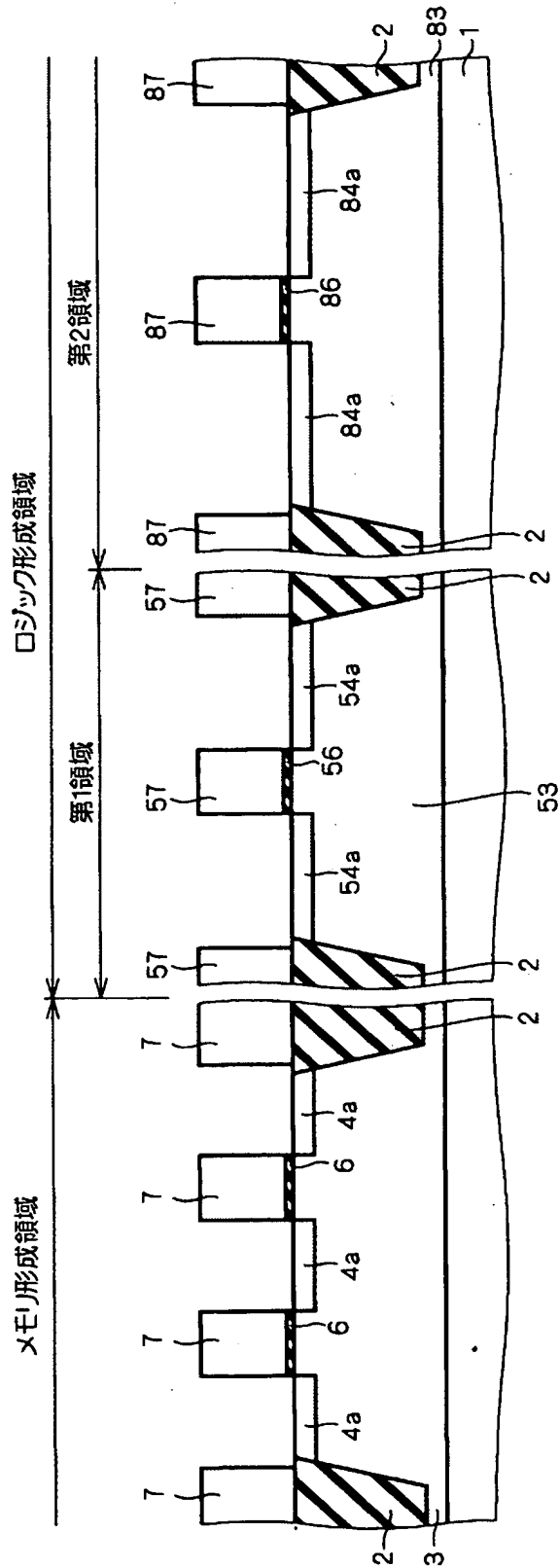
【図 9】



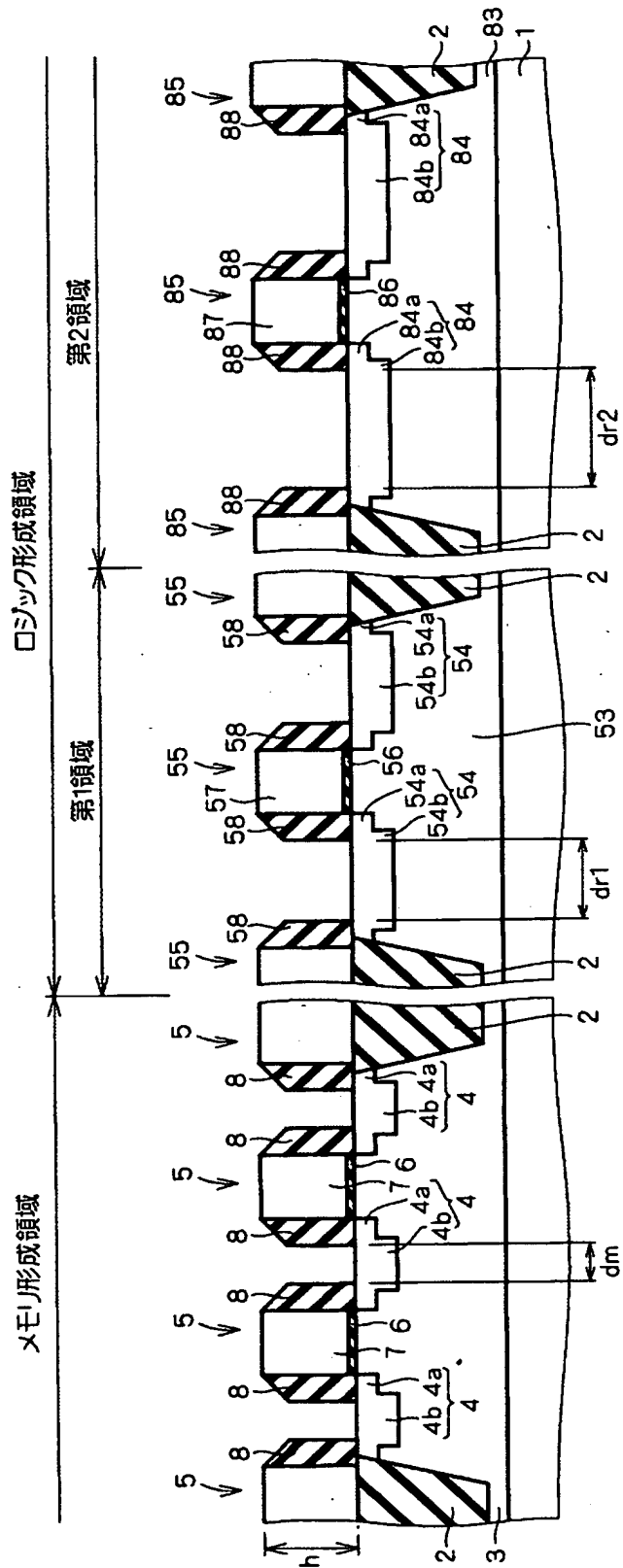
【図 1 0】



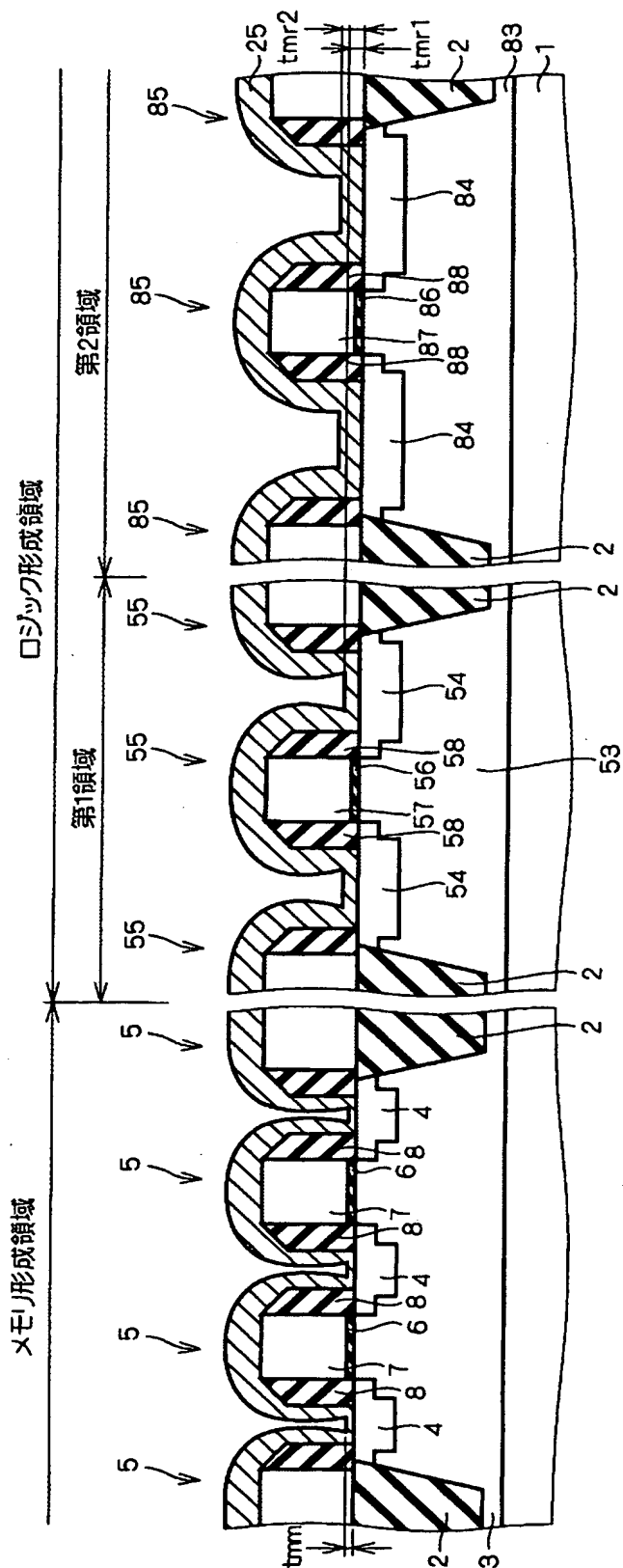
【図 11】



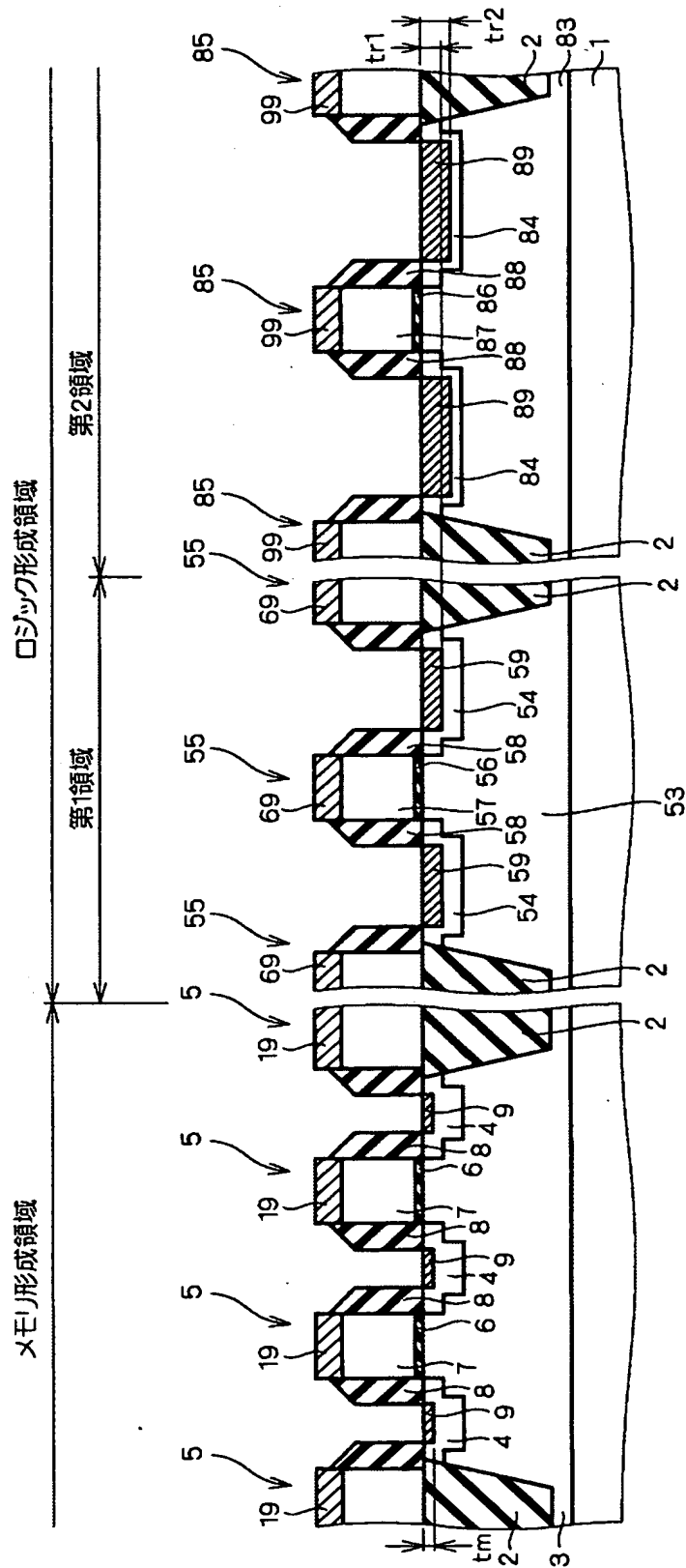
【図 12】



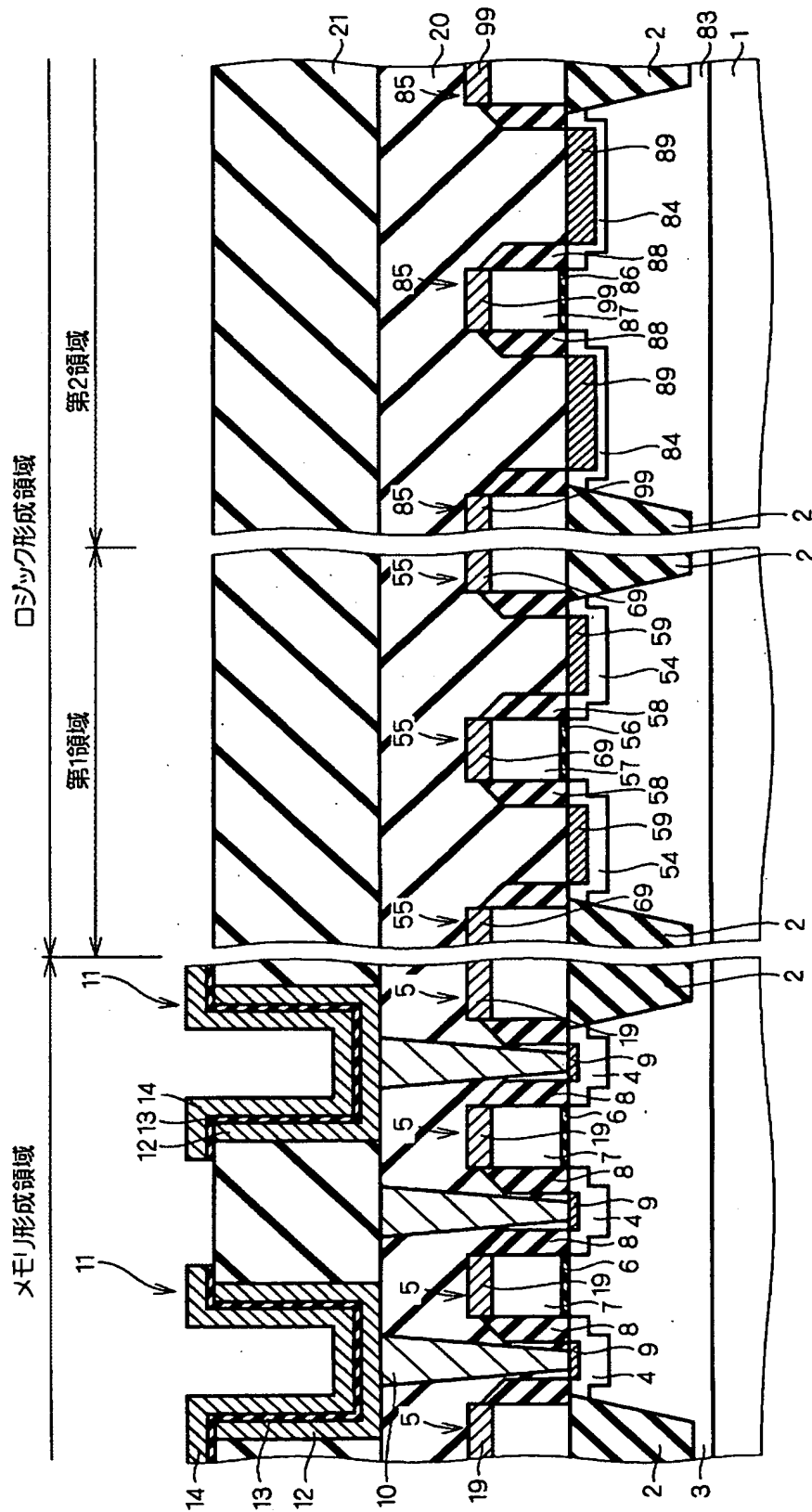
【図 13】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 ロジック形成領域の低抵抗化と、メモリデバイスが有するキャパシタの低リーク電流化とを両立させることができる半導体技術を提供する。

【解決手段】 メモリ形成領域における半導体基板 1 の上面内にはソース・ドレイン領域 4 が形成されており、そのソース・ドレイン領域 4 の上面内にはコバルトシリサイド膜 9 が形成されている。また、ロジック形成領域における半導体基板 1 の上面内にはソース・ドレイン領域 5 4 が形成されており、そのソース・ドレイン領域 5 4 の上面内にはコバルトシリサイド膜 5 9 が形成されている。そして、ロジック形成領域におけるコバルトシリサイド膜 5 9 は、メモリ形成領域におけるコバルトシリサイド膜 9 よりも厚く形成されている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社